

PLAにおける検査容易化設計

正員 藤原 秀雄[†]

Design for Testability in PLAs

Hideo FUJIWARA[†], *Regular Member*

あらまし 論理回路のLSI/VLSI化に伴い故障検査の問題がますます困難となり、この問題の解決が重要な課題となっている。この問題を解決するために、種々の検査容易化設計法が提案されている。著者らは先に、被検査回路の関数に依存しない万能検査入力集合を有するプログラマブル・ロジック・アレイ(PLA)の構成法を示したが、本論文はさらにその内容を発展させたものである。すべての信号線の縮退故障、アレイ内の接点における接続が消滅、発生する接点故障、アレイ内の隣接する信号線間の短絡故障を対象に、これらの複数個の故障が同時に生起する多重故障を検出する万能検査入力集合を有するPLAの設計法を示す。ここで提案するPLAは、従来から提案されている検査容易化PLAの中で最も付加ハードウェア量の少ないものであり、検査方式も簡潔で組込み検査にも適している。又、折りたたみ方式による高密度PLAに対しても、本方式を適用した検査容易化設計法を考察する。

1. ま え が き

超LSIの出現というハードウェアにおける大きな変革の時に、それに対応した故障検査技術の変革が望まれるわけであるが、これは非常に困難な問題と考えられる。そのため、超LSIの導入が予想される今後の論理回路において、既存の故障検査技術を最も有効に活用できるような回路を設計するという立場が必要になるとと思われる。検査容易な論理回路の設計に際しては次のことに留意する必要がある。すなわち、

(1) 故障検査用データを生成する時間が少ないこと、及び

(2) 故障検査用データ量が少ないこと、

の2点を挙げることができる。一方、論理回路のLSI設計法としては専用設計法、マスタスライス設計法、PLA(Programmable Logic Array)設計法等があるが、その中で規則性の高いアレイ構造という高集積化に適した性質と汎用性という特徴を備えたPLAが期待されている^{(1)~(4)}。

検査の対象となる回路の関数に依存しない検査入力集合を万能検査入力集合という。万能検査入力集合を有する回路に対しては検査入力生成が不要であり、非

常に検査容易な回路となる。PLAに対して万能検査入力集合を有する検査容易化設計法としては、著者らがHongとOstapko⁽⁵⁾とは独立に同時に発表したものが最初である⁽⁶⁾。しかし、そこでは短絡故障や多重故障に対する考慮が十分ではなかった。短絡故障に対する検査容易なPLAの設計法も提案されており⁽⁶⁾、文献(8)にこの方法を組合せて短絡故障も検出可能な様に改善した方法も示された⁽⁶⁾。その後、短絡故障と接点故障に対する多重故障に関して万能検査入力集合を有するPLAの設計法が示された⁽⁶⁾。又、文献(8)で用いられたシフトレジスタの部分をPLA構造自体によるデコーダによって置き換える方法も提案されている⁽⁶⁾。

しかし、これまでに提案されてきたいずれの設計法も付加ハードウェア量が大きく、そのままでは実用化という点で問題が残されていた。本論文では、付加ハードウェア量の削減に重点を置き、現在市販のPLAの大きさでも10%以下の増加で済み、より大規模なPLA(例えば入力数70、積項数300)ならば5%以下の増加に抑えることのできる万能検査可能なPLAの設計法を示す。ここで提案する検査容易化設計法は以下の特徴を有する。

(1) すべての信号線の縮退故障、アレイ内の接点における接続が消滅、発生する接点故障、アレイ内の隣接する信号線間の短絡故障を対象に、これらの複数個の故障が同時に生起する多重故障を検出する万能検査入力集合を有する。万能検査入力に対する出力応答も、

[†]大阪大学工学部電子工学科、吹田市

Faculty of Engineering, Osaka University, Suita-shi,
565 Japan

論文番号: 昭58-論432[D-126]

PLAの接続パターンから容易に作成できる。入力端子数 n ，積項数 m の PLA に対する検査系列長は

$$2nm + 4n + m + 4 \text{ である。}$$

(2) 単一故障だけを対象とすれば、出力系列も回路の関数に依存しない万能検査入出力系列を有する PLA に設計できる。しかも、この系列は多重故障に対する万能検査系列と同じ系列である。この場合の出力系列はパリティだけを計算すればよく、検査機構は簡潔で

組込み検査にも適している。

(3) 従来から提案されている方式の中で、検査容易化のための付加ハードウェアが最も少ない方式である。

(4) アレイの折りたたみ方式による高密度 PLA⁽²⁾ に対しても本方式を容易に適用することができる。

2 従来の検査容易化 PLA

被検査回路の関数に依存しない万能検査入力集合を

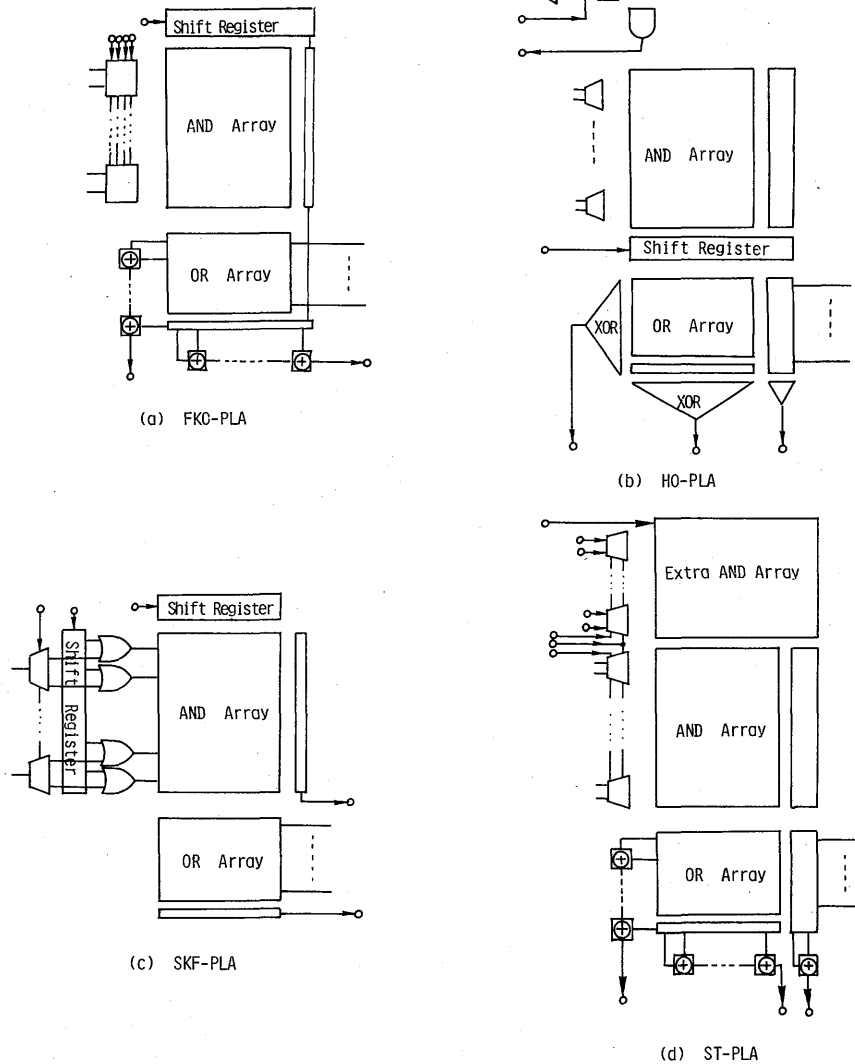


図1 既存の検査容易化PLA
Fig.1 - Existing easily testable PLAs.

有するPLAの構成法は、藤原、樹下、尾崎⁽⁸⁾、Hong、Ostapko⁽⁹⁾で独立に発表されたのが最初である。その後、Saluja、Kinoshita、Fujiwara⁽¹²⁾及び佐藤、当麻⁽¹⁰⁾が新しい構成法を提案している。ここでは、これらの検査容易化PLAの性能を比較してみよう。各PLAは、発表者の頭文字をとって、FKO-PLA⁽⁸⁾、HO-PLA⁽⁹⁾、SKF-PLA⁽¹²⁾、ST-PLA⁽¹⁰⁾と名付けることにする。これらのPLAの概略構成図を図1に示す。

FKO-PLA、HO-PLA及びST-PLAは単一縮退故障、単一接点故障を対象としている。いずれもXOR(Exclusive OR)素子から成るパリティ検査回路を内蔵しており、検査入力系列及び出力系列が共にPLAの関数に依存しない万能検査入出力系列を有するPLAを実現している。検査系列長は、2ビットデコーダ付PLAの場合、各々、 $2n+5m$ 、 $2.5n+2m+5$ 、 $2n+m+4\lceil \log_2(m+3) \rceil +6$ でST-PLAが最も短い。検査容易化のために付加したハードウェア量は、HO-PLAが最も多く、FKO-PLAが最も少ない。特に、FKO-PLAは付加入力端子が5個であるが、HO-PLAやST-PLAは付加入力端子数がPLAのサイズと共に増加するという欠点がある。又、これら三つのPLAに共通している欠点は、XOR素子から成るパリティ検査用回路の占める領域が大きくなるということである。

SKF-PLAは、縮退故障と接点故障の多重故障を対象としている。検査入力系列はPLAの関数に依存しない万能検査入力系列であるが、出力系列はPLAの関数に依存し万能ではない。又、多重故障を検出するために系列長も $2nm+4n+m+5$ と長くなっている。しかし、より一般的な多重故障を検出可能としている点や、付加ハードウェア量の点で、他の三つのPLAより優れていると思われる。本論文では、次章以降で、さらにSKF-PLAで取扱っていない短絡故障を含めた多重故障を対象とし、付加ハードウェア量のさらに少ないPLAの検査容易化設計法を述べる。

3. 多重故障に対する検査容易化設計

3.1 設計方式1

ここで提案するPLAを図2に示す。これは著者が文献(8)で提案したPLAの構成において、XORカスケード回路を削除したものである。したがって、検査容易化に要する付加回路は非常に小さくなっている。ANDとORの両アレイに付加する行と列は文献(8)と

異なる。ここでは、二つの行と列が付加されており、一つは交互に、一つは全ての接点を接続状態にしている。図2には、1ビットデコーダ付PLAの例を示したが、2ビット以上のデコーダ付PLAについても文献(8)で示したのと同様に設計できる。

3.2 万能検査入力集合

図2に示す設計方式1による検査容易化PLAを $M_{n,m}$ と書くことにする。ここで、 n 、 m は拡大前のPLAの入力数と積項数である。 $M_{n,m}$ は次の性質を持つ。

- (1) シフトレジスタは任意の積項線を活性化するのに使用される。例えば、 j 番目の列を選ぶには、シフトレジスタの j 番目のセル S_j を1に設定し、他のセルを0にすればよい。
- (2) 1ビットデコーダとANDアレイの間に挿入されたOR素子と制御入力 Y_1, Y_2 により、ANDアレイの任意の行を活性化できる。例えば、 $Y_1=1, Y_2=0, X_i=1, X_j=0 (j=1\sim n; j\neq i)$ とすることにより、ANDアレイの第 $2i$ 行だけを0に他の行を1にできる。又、 $Y_1=0, Y_2=1, X_i=0, X_j=1 (j=1\sim n; j\neq i)$ とすることにより、第 $2i+1$ 行だけを0、他の行を1にできる。
- (3) ANDアレイの最右端の積項線は、ANDアレイの水平線、及びデコーダの部分の縮退故障を検出するための $2n$ 入力AND素子として働く。又、その隣りの積項線はANDアレイの隣接する水平線の短絡故障を検出するために使われる。短絡故障は、短絡によりANDかORに機能する場合を

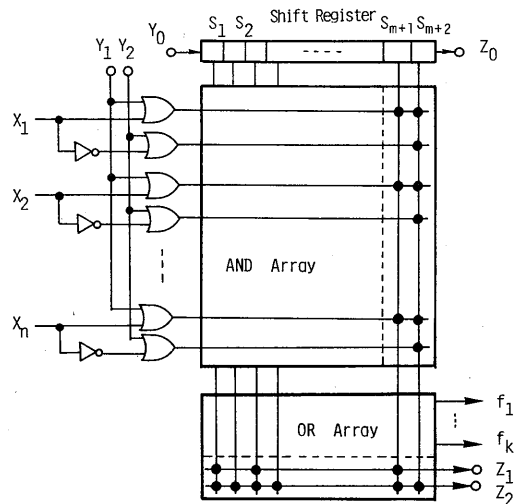


図2 検査容易なPLA(方式1)
Fig.2 - Easily testable PLA (design 1).

表1 万能検査入力集合 $T_{n,m}$

	$X_1 \cdots X_i \cdots X_n$	$Y_1 Y_2$	$S_1 \cdots S_j \cdots S_{m+2}$
I^1	0 ... 0 ... 0	1 0	0 ... 0 ... 0
I_j^2 ($i=1, \dots, m+2$)	0 ... 0 ... 0	1 0	0 ... 1 ... 0
I^3	1 ... 1 ... 1	0 1	0 ... 0 ... 01
I_{ij}^4 ($i=1, \dots, n$; $j=1, \dots, m+2$)	1 ... 0 ... 1	0 1	0 ... 1 ... 0
I_{ij}^5 ($i=1, \dots, n$; $j=1, \dots, m+2$)	0 ... 1 ... 0	1 0	0 ... 1 ... 0

想定している。

- (4) ORアレイの最下段の和項線は、ANDアレイとORアレイにまたがる垂直線(積項線)の縮退故障と、ANDアレイの接点故障を検出するための $m+2$ 入力OR素子として働く。又、その上の和項線は、隣接する垂直線の短絡故障を検出するのに使われる。ここでの短絡故障もANDかORに機能する場合を想定している。

$M_{n,m}$ において、以下に挙げる型の故障が複数個同時に生起する多重故障の集合を \mathcal{F}_m とする。

- (1) PLA内のすべての信号線の縮退故障(デコーダ部分, シフトレジスタの縮退故障も含む)。
- (2) ANDアレイ, ORアレイ内の接点における接続状態が消滅, 発生する接点故障。
- (3) ANDアレイ内の隣接する水平線間, ORアレイ内の隣接する水平線間, 及びANDとORアレイにまたがる隣接する垂直線間の短絡故障。但し, 短絡によりANDと機能する場合とORと機能する場合の両方の短絡故障を想定している。

先に述べた $M_{n,m}$ の性質を用いて, \mathcal{F}_m に属するすべての多重故障を検出する検査入力集合を求めたのが表1である。この検査入力集合を $T_{n,m}$ とする。

〔定理1〕 任意の $M_{n,m}$ に対して, 検査入力集合 $T_{n,m}$ は \mathcal{F}_m に属するすべての故障を検出することができる。

(証明) シフトレジスタの縮退故障 $T_{n,m}$ により Z_0 から検出可能である。したがって, 以下ではシフトレジスタは正常であると仮定する。

ORアレイ内の故障は検査入力 $I^1, I_j^2 (j=1 \sim m+2)$ によりすべて検出される。ここで, 各関数 $f_i (i=1 \sim k)$ は0又は1の定数関数や同じ関数を含まないものと仮定する。すなわち, $f_i \neq 0, 1, f_i \neq f_j (i \neq$

$j)$ とする。これは通常PLAの使い方として妥当な仮定である。

まずORアレイ内の水平線の1縮退故障は I^1 により検出される。水平線の0縮退故障は $I_j^2 (j=1 \sim m+2)$ で検出される。隣接する水平線 f_i と f_{i+1} の短絡故障により $f_i = f_{i+1}$ となるのでこの故障は $I_j^2 (j=1 \sim m+2)$ 検出可能である。

ORアレイの最下段の接点故障は $I_j^2 (j=1 \sim m+2)$ で検出可能である。この故障の検出を無効にするのは, Z_2 への水平線の1縮退故障か, 垂直線の1縮退故障であるが, いずれも I^1 で検出される。

ORアレイの最下段の和項線が検出済になると, 垂直線のすべての0, 1縮退故障は I^1 と $I_j^2 (j=1 \sim m+2)$ により Z_2 より検出される。ORアレイの垂直線の短絡故障は $I_j^2 (j=1 \sim m+2)$ で Z_1 より検出可能である。又, ORアレイの接点故障も $I_j^2 (j=1 \sim m+2)$ により, 出力 $f_1, \dots, f_k, Z_1, Z_2$ より検出できる。

以上により, ORアレイ内の故障がすべて検出済となるので, この仮定のもとで次にANDアレイの最右端の積項線の故障検出を考える。この列の接点が消える故障は $I_{m+2}^4, I_{m+2}^5 (i=1 \sim n)$ で検出可能である。例えば, 第2行 $m+2$ 列の接点が消える故障は I_{m+2}^4 で検出できる。この検査を無効にするのは, 他の行に0を伝搬させ第 $m+2$ 列の積項線を0にする故障であるが, この故障は I_{m+2}^2 又は I^3 で検出できる。

ORアレイと第 $m+2$ 列の積項線が検査済となるので, $I^3, I_{m+2}^4, I_{m+2}^5 (i=1 \sim n)$ により, デコーダ部分やANDアレイの縮退故障はすべて検出可能である。ANDアレイの水平線の短絡故障は, $I_{m+1}^4, I_{m+1}^5 (i=1 \sim n)$ で検査できる。又, ANDアレイ内のすべての接点故障は, $I_{ij}^4, I_{ij}^5 (i=1 \sim n; j=1 \sim m+2)$ で検出される。 (証明終)

定理1から明らかのように, 検査入力集合 $T_{n,m}$ はPLAの大きさ n, m だけに依存する万能検査入力集合であり, \mathcal{F}_m に属する多重故障を検出することができる。これらの万能検査入力に対する出力応答はPLAを実現している関数に依存し万能ではないが, ANDアレイやORアレイの接続パターンから容易に作成することができる。

表1に示す検査入力の順に印加すれば, 系列長が $2nm+4n+m+4$ の万能検査入力系列を得る。

3.3 付加ハードウェア量の評価

設計方式1による付加ハードウェア量を評価してみよう。

- c_1 : 1個のOR素子やPLAの1接点の占める領域.
- c_2 : プルアップ用トランジスタの占める領域.
- c_3 : シフトレジスタの1セルの占める領域.

付加ハードウェアのないものとのPLAの領域に対する付加ハードウェアの占める比率 ρ は

$$\rho = \frac{c_1(6n+2m+2k+4) + c_3(m+2)}{(c_1+c_2)n + c_1(2n+k)m + c_2(m+k)} \quad (1)$$

となる. 文献(4)の設計法でPLAを構成する場合を想定して, $c_2=c_1$, $c_3=6c_1$ とおくと

$$\rho = \frac{6n+8m+2k+16}{(2n+k)(m+1)+m} \quad (2)$$

となる.

最近発表された32ビット・1チップマイクロプロセッサBELLMAC-32A⁽³⁾には8個のPLAが搭載されているが, これに, ここで提案した方式1を適用して万能検査可能なPLAを構成した場合, どれだけのハードウェアが増加するかを計算したのが表2である. 各PLAの増加率6.1~21.9%で, 全体としては8.8%の増加となっている. 超LSI化が進み, PLAがさらに大規模化すれば, この増加率は減少する. 例えば, 入力数, 出力数が共に70, 積項線数が300のPLAでは, ハードウェアの増加率は4.7%に減少する.

4. 単一故障に対する検査容易化設計

4.1 設計方式2

多重故障に対して万能検査入力集合を有するPLAの構成法を示したが, 出力系列に関しては万能ではなかった. しかし, 単一故障に限れば先に提案したPLAの構成のまま, さらに列を一つANDアレイに付加するだけで, 出力系列も含めて関数に依存しない万能検査入出力系列を有するPLAを実現することができる.

表2 BELLMAC-32Aでのハードウェア増加率

PLA	入力数	出力数	積項数	増加率(%)
1	50	67	190	6.1
2	30	27	120	11.4
3	27	54	181	8.7
4	54	61	134	6.7
5	30	37	153	9.9
6	24	13	44	19.3
7	12	21	58	21.9
8	25	12	42	19.4
全体				8.8

構成の概略を図3に示す. ここで述べる方式2は, 図2に示した方式1に, さらに次に示す条件を満たすようにしたものである.

- (1) ANDアレイの第 $m+1$ 列において, 上から二つ接点を接続する. これは, 通常の動作モード時にこの積項線の値が0になるようにするためである.
- (2) ANDアレイの第1列~第 $m+1$ 列の部分において, 奇数行及び偶数行の非接続接点の総数を各々奇数になるように第 $m+1$ 列に適当に接続点を挿入する.
- (3) ORアレイの第 $m+3$ 列は下から上に向かって, 交互に接続点を挿入する.
- (4) ORアレイの下から2行目は, 第 $m+2$ 列目から左へ交互に接続点を挿入する.
- (5) ORアレイの下2行を除く残りの各行に対して, 第1列~第 $m+1$ 列の接続点数がすべて奇数になるように, 第 $m+1$ 列目に接続点を挿入する.

4.2 万能検査入出力系列

図3に示す設計方式2による検査容易化PLAを $N_{n,m}$ と書くことにする. 対象とする故障は, 3.2で考察した縮退故障, 接点故障, 短絡故障で, それらの一つが1箇所が発生する単一故障だけとし, その集合を \mathcal{F}_1 とする. これらの単一故障を検出するための万能検査入力系列は次のようになる. これは3.2での多重故障のための万能検査入力系列と同じである.

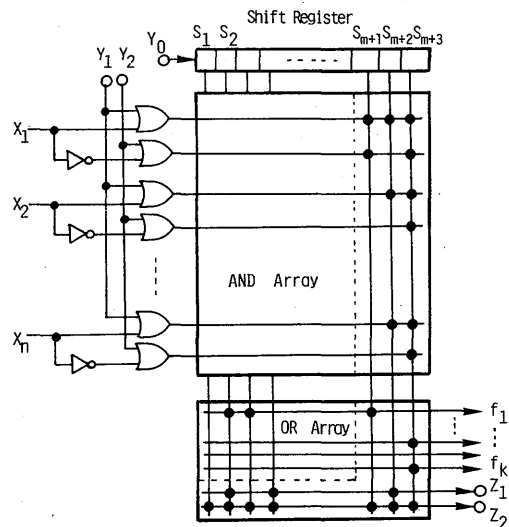


図3 検査容易なPLA(方式2)
Fig.3 - Easily testable PLA (design 2).

$$\tau_{n,m} = I^1 \cdot \prod_{j=1}^{m+3} I_j^2 \cdot I^3 \cdot \prod_{j=1}^{m+3} \left(\prod_{i=1}^n I_{ij}^4 \right) \cdot \prod_{j=1}^{m+3} \left(\prod_{i=1}^n I_{ij}^5 \right)$$

通常の検査機構は図4(a)に示すように、あらかじめ蓄えられた正しい出力系列と被検査回路の出力系列を比較する方式をとるが、ここでは図4(b)に示すパリティ圧縮方式による検査機構を考える。これは図4(c)に示すようなパリティカウンタにより、出力系列の1の数のパリティだけを数え上げ、あらかじめ定められた時刻だけそのパリティを正しい期待値と比較するという方式である。

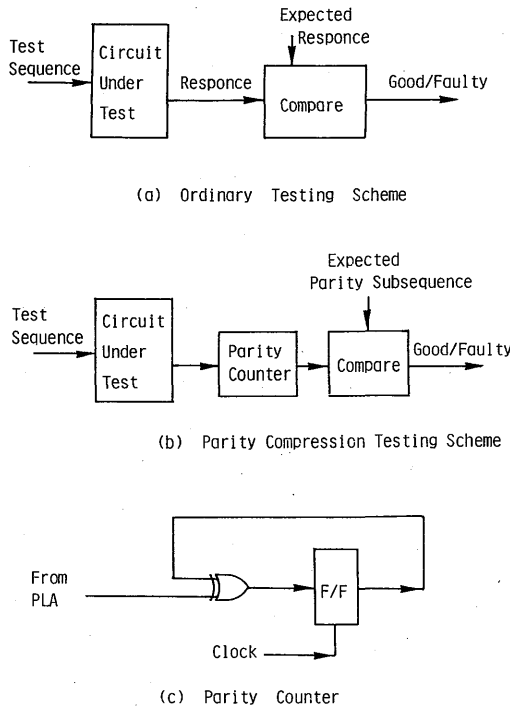


図4 検査機構
Fig.4 - Testing scheme.

パリティを検査する時刻及び期待値は表3のようになる。表3において、 $\pi(a)$ の意味は

$$\pi(a) = \begin{cases} 0 & a \text{ が偶数の時} \\ 1 & a \text{ が奇数の時} \end{cases}$$

である。「 $\lceil \beta \rceil$ 」は β より小さくない最小整数とする。×印は、その時刻にパリティを検査しないことを意味する。表3に示す検査入力系列を $\tau_{n,m}$ 、特定時刻のパリティの期待値の系列をパリティ部分系列と呼 $\pi_{n,m}$ と書くことにする。検査入力系列 $\tau_{n,m}$ 、パリティ部分系列 $\pi_{n,m}$ は共にPLAの関数に依存せず入力数 n と積項数 m だけで決まる万能検査系列になっている。しかも $\pi_{n,m}$ の長さは12でPLAの大きさにも依存せず非常に簡単なパリティ検査が可能である。

〔定理2〕 任意の $N_{n,m}$ に対して、検査入力系列 $\tau_{n,m}$ とパリティ部分系列 $\pi_{n,m}$ は \mathcal{G}_p に属するすべての故障を検出することができる。

〔証明〕 表3に示す検査時刻 t_1, t_2, \dots, t_{12} に各出力端子で検出される故障のクラスを示せば、次の表4のようになる。 (証明終)

検査系列 $\tau_{n,m}$ はソフト機能とコンプリメント機能を備えたシフトレジスタを用いて容易に発生できる。パリティの検査を行う時刻の同期信号はカウンタを用いれば実現できるので、全体として組込み検査機構に適した検査容易化設計になっている。

5. 高密度PLAの検査容易化設計

PLAは規則的構造や論理設計の自動化の面で超LSI化に適しているが、チップ利用率が低く、又、高速性の点で欠点がある。これらを改善するために、アレイ内の配線を途中で切断する、折りたたみ方式によるPLAの高密度化が考えられている^[2]。

先に提案したPLAの検査容易化設計法は、この高密度PLAにも適用可能である。方式1の検査容易化

表3 万能検査系列

検査入力系列	$I^1 I_1^2 \dots I_{m+1}^2$	$*I_{m+2}^2$	$*I_{m+3}^2$	$*I_{m+3}^3 * I_{11}^4 \dots I_{nm+1}^4$	$*I_{1m+2}^4 \dots I_{nm+2}^4$	$*I_{1m+3}^4$	$* \dots I_{nm+3}^4$	$*I_{11}^5 \dots I_{nm+1}^5$	$* \dots I_{nm+2}^5$	$*I_{1m+3}^5$	$* \dots I_{nm+3}^5$	*
パリティ検査時刻	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}	t_{11}	t_{12}
f_1	1	1	×	×	×	×	×	×	×	×	×	×
\vdots	\vdots	\vdots	0	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
f_k	1	1	0	×	×	×	×	×	×	×	×	×
Z_1	π_1	π_2	π_2	×	×	×	×	×	×	×	×	×
Z_2	π_3	π_4	π_3	π_4	π_3	π_3	π_3	π_3	π_4	π_5	π_5	π_5

$$\pi_1 = \left\lceil \frac{m}{2} \right\rceil \quad \pi_2 = \pi \left(\left\lceil \frac{m}{2} \right\rceil + 1 \right) \quad \pi_3 = \pi(m+1) \quad \pi_4 = \pi(m) \quad \pi_5 = \pi(m+n)$$

表4 検査時刻と検出故障

シフトレジスタ, AND, OR	1~m+3列 1縮退	t_1, t_2	Z_2
アレイの 垂直線	1~m+1列 0縮退	t_2	Z_2
	m+2列 0縮退	t_3	Z_2
	m+3列 0縮退	t_3	Z_2
ORアレイ水平線	0/1縮退	t_1, t_2	$f_1, \dots, f_k, Z_1, Z_2$
ANDアレイ水平線, OR素子入力0縮退	X, 0/1縮退, Y ₁ , Y ₂ 0縮退	t_2, t_3, t_4	Z_2
ANDアレイ水平線	1縮退	t_8, t_8, t_{10}, t_{12}	Z_2
OR素子入出力	1縮退	t_6, t_7	Z_2
Y ₁	1縮退	t_{10}, t_{11}	Z_2
Y ₂	1縮退	t_{10}, t_{11}	Z_2
AND, ORアレイ垂直線	短絡	t_3	Z_1
ORアレイ水平線	短絡	t_2, t_3	$f_1, \dots, f_k, Z_1, Z_2$
ANDアレイ水平線	短絡	t_2, t_3, t_9, t_{10}	Z_2
ORアレイ	1~m+1列 接点	t_1	$f_1, \dots, f_k, Z_1, Z_2$
	m+2列 接点	t_2	$f_1, \dots, f_k, Z_1, Z_2$
	m+3列 接点	t_3	$f_1, \dots, f_k, Z_1, Z_2$
ANDアレイ	1~m+1列 接点	t_8, t_9	Z_2
	m+2列 接点	t_6, t_{10}	Z_2
	m+3列 接点	t_6, t_8, t_{10}, t_{12}	Z_2

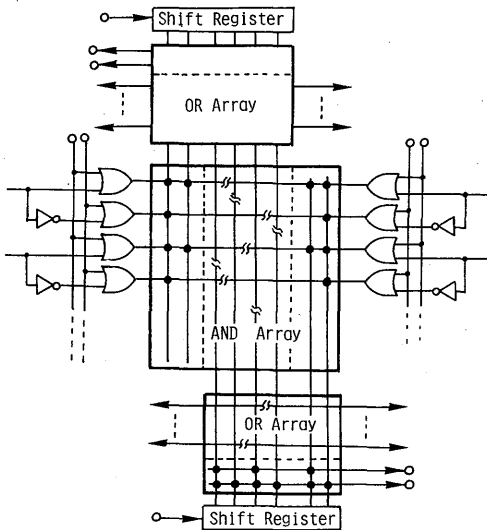


図5 折りたたみ方式高密度PLAの検査容易化設計
Fig.5 - Easily testable design for high density PLAs using array folding techniques.

設計を適用した概略を図5に示す。ここではANDアレイの上下にORアレイを配置したPLAを考えている。ANDアレイの左右の入力側に検査用に付加するOR素子や制御入力、及びORアレイの上下のシフトレジスタは図2の設計方式1と同じである。ANDアレイの左右両端に2個ずつ2組の列が付加されており、各々、1つは交互に、1つは全ての接点を接続状態にしている。ORアレイについても各々2つの行が付加されており、1つは交互に、1つは全ての接点を接続

状態にしている。設計方式2の検査容易化設計も同様に可能である。以上のように構成されたPLAに対して、先に示したのと同様の万能検査入力系列を作成することができる。

6. むすび

縮退故障、接点故障、短絡故障を対象に、これらの多重故障及び単一故障を検出することのできる万能検査系列を有するPLAの設計法を示した。ここで示した検査容易化PLAは従来から提案された検査容易化PLAに比較して、付加ハードウェア量が大幅に少なくなっている点に特徴があり、実用性の高い検査容易化設計法であるといえる。又、折りたたみ方式による高密度PLAにも本方式が容易に適用され超LSIに適した方法である。故障のクラスも従来のものを含む広い多重故障のクラスを対象としているため、より完全な故障検査を達成することができる。本論文で提案した、検査入力が不要となる万能検査可能な回路を構成するという検査容易化設計の傾向は、回路の超LSI化が進むにつれて増々重要視されるものと思われる。

謝辞 日頃御指導頂く大阪大学名誉教授尾崎弘先生ならびに広島大学樹下三教授に深謝する。

文 献

- (1) Fleisher, H. and Maissel, L. I. : " A introduction to array logic ", IBM J. Res. & Dev., 19, 3, pp.98-109 (1975).
- (2) Wood, R.A. : " A high density programmable logic array chip ", IEEE Trans. Comput., C-28, 9, pp.602-608 (1979).
- (3) Law, H-F.S. and Shoji, M. : " PLA design for the BELLMAC-32A microprocessor ", Proc. 1982 ICCS, pp.161-164 (1982).
- (4) Mead, C. and Conway, L. : " Introduction to VLSI Systems ", Addison-Wesley, Pub. Co. (1980).
- (5) Ostapko, D.L. and Hong, S. J. : " Fault analysis and test generation for programmable logic arrays ", IEEE Trans. Comput., C-28, 9, pp.617-626 (1979).
- (6) Smith, J.E. : " Detection of faults in programmable logic arrays ", IEEE Trans. Comput., C-28, 11, pp.845-853 (1979).
- (7) Agarwal, V.K. : " Multiple fault detection in programmable logic arrays ", IEEE Trans. Comput., C-29, 6, pp.518-522 (1980).
- (8) Fujiwara, H., Kinoshita, K. and Ozaki, H. : " Universal test sets for programmable logic arrays ", Proc. FTCS-10, pp.137-142 (1980).
- (9) Hong, S. J. and Ostapko, D.L. : " FITPLA :

- H. : " A multiple fault testable design of A programmable logic array for function independent testing ", Proc. FTCS-10, pp. 131-136 (1980).
- (10) Pradhan, D.K. and Son, K. : " The effect of untestable faults in PLAs and a design for testability ", Proc. 1980 Test Conf., pp. 359-367 (1980).
- (11) 山田 : " 検査容易な PLA とその万能テスト集合 ", 昭56 信学情報・システム全大, 506.
- (12) Saluja, K.K., Kinoshita, K. and Fujiwara, programmable logic arrays ", Proc. FTCS-11, pp.44-46 (1981).
- (13) Fujiwara, H. and Kinoshita, K. : " A design of programmable logic arrays with universal tests ", IEEE Trans. Comput., C-30, 11, pp.823-828 (1981).
- (14) 佐藤, 当麻 : " 関数に依存しないテスト集合を持つ PLA の新構成法 ", 信学論 (D), J65-D, 8, pp. 1073-1079 (昭57-08).
(昭和57年11月22日受付, 58年3月30日再受付)
-