

ランダムテスト可能な PLA の一設計法

正員 藤原 秀雄[†]

A Random-Pattern-Testable Design for Programmable Logic Arrays

Hideo FUJIWARA[†], Member

あらまし 組込み自己検査では、LFSRを用いた疑似ランダムパターンによる検査方式が一般的であるが、PLAのようなファンインの大きい回路に対しては高い故障検出率を期待することは困難である。PLAのような組込み検査には、従って、規則的な検査パターンを発生するか、または、ランダムパターンを用いる場合でも何らかの対策を施す必要がある。本論文では、通常の PLA にマスクアレイを付加することにより、ランダムパターンでも高い故障検出率を達成できるランダムテスト可能な PLA を構成する一方法を提案している。どれだけの故障検出率が達成されるかを見るために、樹枝状の等価 AND-OR 回路を対象とし、縮退故障および交点故障に対して、ランダムパターンによる故障検出確率を解析している。また、ランダムテスト可能な PLA の構成において、故障検出確率を最大とするようなマスクを求める方法について考察を行っている。

1. まえがき

VLSI のための検査容易化設計として、組込み自己検査方式 (Built-In Self Test) が有望視され多くの研究成果⁽¹⁾⁻⁽⁷⁾が報告されている。外部検査方式に基づく検査容易化設計法では、スキャン方式⁽⁷⁾が大型計算機の設計において実用化されている。しかし、今後更に高集積化、大規模化される回路の故障検査を考えれば、依然として次のような問題点が残る。

- (1) 現状では単一縮退故障モデルを想定しているが、最近の VLSI 回路の故障モデルとしては十分ではない。
- (2) 検査パターン生成に膨大な時間と費用がかかる。
- (3) 検査に膨大な時間と費用がかかる。
- (4) 被検査回路のスピードとテストの性能のギャップの拡大。

これらの問題点を解決する方法として、組込み自己検査方式が注目されている。これまで発表されている組込み自己検査法の多く⁽¹⁾⁻⁽⁵⁾は、線形フィードバックシフトレジスタ (LFSR) により発生した疑似ランダムパターンを検査パターンとして用いている。しかし、PLA (Programmable Logic Array) のような

ファンインの非常に大きい回路に対しては、ランダムパターンだけでは高い故障検出率が得にくいことが指摘されている。例えば、 n 入力 NOR ゲートで一番目の入力の 0 縮退故障を検出できる入力パターンは $100 \dots 0$ だけである。従って、ランダムパターンでこの故障を検出できる確率は $1/2^n$ にすぎない。PLA の組込み検査には、従って、規則的な検査パターンを発生するか、または、ランダムパターンを用いる場合でも何らかの対策を施す必要がある。

規則的な検査パターンを用いた組込み検査可能な PLA の設計法については、縮退故障、交点故障、ブリッジ故障を対象に、すべての単一故障およびほとんど 100% の多重故障を検出可能な万能検査方式が Treuer, Fujiwara, and Agarwal⁽⁶⁾により報告されている。Treuer らの方法では、高い故障検出率を達成するのに成功しているが、面積オーバーヘッドが大きい点 (例えば、30 入力 37 出力 153 積項線の PLA で、22% のオーバーヘッド)、他の部分の検査に使われる LFSR を利用できない点、等の欠点が残る。

ランダムパターンを用いた方式では、そのままでは高い故障検出率が期待できないため、論理的に入力のファンインを減らすことによりランダムパターンでも高い故障検出率を達成できる (すなわち、ランダムテスト可能な) PLA に変更する方法が Eichelberger

[†] 明治大学工学部電子通信工学科, 川崎市
Faculty of Engineering, Meiji University, Kawasaki-shi, 214 Japan

and Lindbloom⁽⁶⁾により提案されている。しかし、この方法でも面積オーバーヘッドが大きくなる欠点がある。本論文では、少ない面積オーバーヘッドで高い故障検出率を達成できるランダムテスト可能な PLA の一設計法を述べ、ランダムパターンによる故障検出率を解析的に明らかにする。

2. PLA の故障検出率

ランダムテストにおいて、どれだけの長さのランダムパターン列を印加すれば、どれだけの故障検出率が得られるか、等の故障の検出確率や検出率についての評価、解析に関する研究が行われている⁽⁸⁾⁻⁽¹²⁾。本章では、それらの方法をもとに、PLA におけるランダムテストでの縮退故障や交点故障の検出確率を解析する。

図 1(a) に示す PLA を考えよう。この PLA において、 j 番目の出力 Z_j だけに関する等価 AND-OR 回路を図 1(b) に示す。OR ゲートのファンイン数を m 、AND ゲート G_i のファンイン数を k_i とする。話を簡単にするために、ここでは再収れんのない PLA を考える。従って、図 1(b) は樹枝状回路である。また、各外部入力には互いに独立に、0 と 1 が 0.5 の確

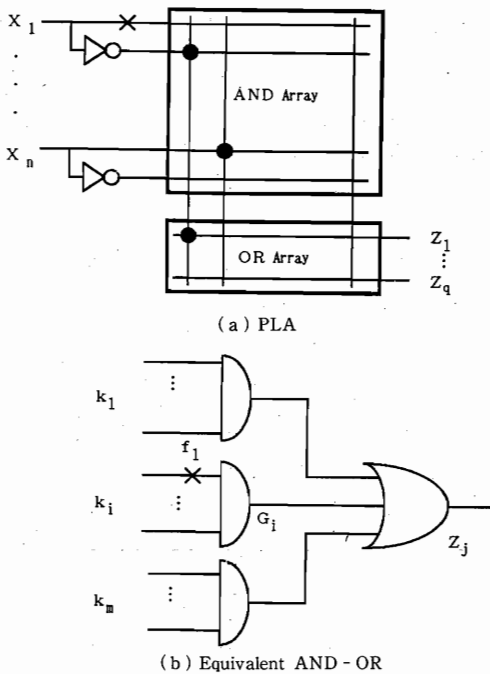


図 1 PLA の等価 AND-OR 回路
Fig. 1 Equivalent AND-OR Circuit of PLA.

率で生起するランダムパターンが印加されるものとする。

最初に、AND ゲートの入力線の 0, 1 縮退故障を考えよう。AND ゲート G_i の入力線が 0(1) に縮退する故障 f_1 を検出するパターンは、 G_i に 11...1 (11...0...1) を印加し、他の AND ゲートの出力をすべて 0 にするものである。従って、そのパターンが現れる確率は、

$$P_d(f_1) = 2^{-k_i} \cdot \prod_{j \neq i} (1 - 2^{-k_j}) \quad (1)$$

となり、これが故障 f_1 の検出確率である。

次に、PLA 特有の故障として、アレイ内の交点において接続(トランジスタ)が、発生、消滅する交点故障を考えよう。図 2 において、交点の接続が消滅する故障 f_2 の検出確率を求めてみる。 f_2 の故障の影響を積項線 P_i 、すなわち、図 1(b) の等価回路で AND ゲート G_i の出力へ伝搬するためには、 G_i の入力線の中で f_2 への入力線 X_r を 0 他を 1 にした 011...1 のパターンを印加する必要がある。更に、残りの AND ゲートの出力を 0 にする必要がある。従って、故障 f_2 の検出確率は

$$P_d(f_2) = 2^{-k_i} \cdot \prod_{j \neq i} (1 - 2^{-k_j}) \quad (2)$$

となる。

交点に接続が発生する故障については、図 2 のように f_3 と f_4 の二つの場合が考えられる。 f_3 の故障は P_i の 0 縮退故障と等価となり、それを検出するパターンは AND ゲート G_i の入力に 11...1 を印加し、他の AND ゲートの出力を 0 にするものであればよく、その確率は

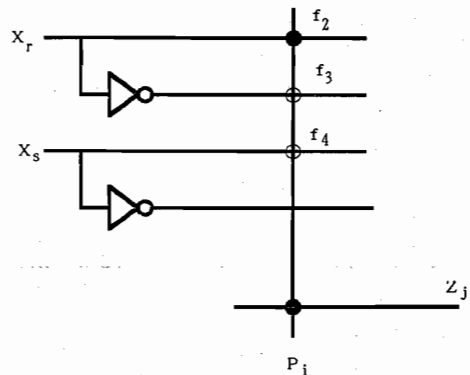


図 2 PLA の交点故障
Fig. 2 Crosspoint faults in PLA.

$$P_d(f_3) = 2^{-k_1} \cdot \prod_{j \neq 1} (1 - 2^{-k_j}) \quad (3)$$

となり、式(1)、(2)と同じになる。

故障 f_4 を検出するためには、AND ゲート G_i の入力をすべて1に、 f_4 のビット線を0に、他のANDゲートの出力を0にする必要があり、その確率は

$$P_d(f_4) = 2^{-(k_1+1)} \cdot \prod_{j \neq 1} (1 - 2^{-k_j}) \quad (4)$$

となり、(1)~(3)の半分の確率になる。

故障 f が一つのランダムパターンで検出される確率を $P_d(f)$ とするとき、 M 個のランダムパターンで検出される確率は

$$P_d^M(f) = 1 - (1 - P_d(f))^M \quad (5)$$

となる⁽⁶⁾。

少ないランダムパターン数で高い故障検出率を達成するためには、検出確率 $P_d(f)$ が大きくなければならないわけであるが、(1)~(4)から分かるように $P_d(f)$ は一般に小さい値になる。

PLA ではファンインが大きいので、 2^{-k_i} 、 2^{-k_j} は0.5より十分小さく、(1)~(4)の $P_d(f)$ の値を小さくするのに大きく影響しているのは、第一因子の 2^{-k_i} である。例えば、 $k_i=24$ の場合、 $2^{24} \div 16 \times 10^6$ となり、故障を検出するパターンを発生させるためには平均的に 16×10^6 のランダムパターンを発生する必要がある。ここでもし、 k_i を2分割できれば、 $2^{12} = 4096$ となり、発生すべきランダムパターン数を大幅に減少させることができる。

3. ランダムテスト可能な PLA

与えられた PLA をランダムパターンで検査可能な PLA に変更する方法は Eichelberger and Lindbloom⁽⁶⁾ により報告されている。その構成を図3に示す。付加回路としては、セグメント選択回路と積項線選択回路から成り立っている。セグメント選択回路は、AND アレイを四つのセグメントに分割し、一つのセグメントを除き残りの三つのセグメントを論理的にマスク("1"に)する回路で、次の性質を有する。

(1) $T=0$ の時、 t_0 、 t_1 の値にかかわらず u_0 、 u_1 、 u_2 、 u_3 の値を、"off" とし、PLA は通常の動作を行う。

(2) $T=1$ の時、 t_0 、 t_1 に印加されるランダムパターンにより、 u_0 、 u_1 、 u_2 、 u_3 の一つを "off"、残りの三つを "on" とする。すなわち、一つを除き三つのセグメント内の AND アレイ入力をすべて "1" に

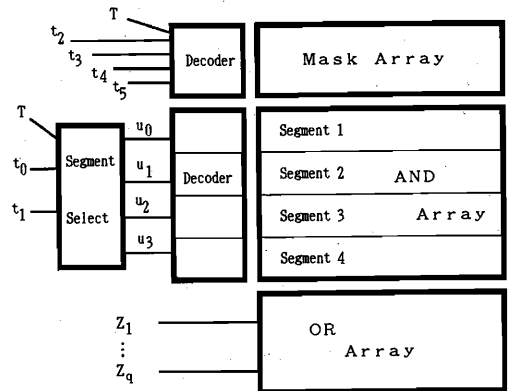


図3 Eichelberger and Lindbloom の PLA
Fig. 3 PLA of Eichelberger and Lindbloom.

(マスク)する。

積項線選択回路は、一つの積項線を除き残りのすべての積項を "0" に (マスク) する回路で、次の性質を有する。

(1) $T=0$ の時、積項線選択回路内のすべてのビット線を "1" にし、PLA は通常の動作を行う。

(2) $T=1$ の時、 t_2 、 t_3 、 t_4 、 t_5 に印加されるランダムパターンはデコーダにより、マスクアレイへの8入力(積項線が16個の場合)の内ちょうど2入力だけ "1" となる。マスクアレイの各列には8交点中2交点が接続されている(16通りのパターンが現れている)ので、一つの積項線を除き残りの積項線が "0" となり、一つの積項線だけが活性化される。

故障検出確率は、式(1)~(4)で示されるように、 2^{-k_i} と $(1 - 2^{-k_j})$ で決まる。Eichelberger らの方法では、AND アレイの分割により k_i を小さくし、従って、 2^{-k_i} を大きくしている。また、積項線を唯一つ選択することにより、 $(1 - 2^{-k_j})$ を1にしている。しかし、ここでの積項線選択回路は、積項線数を N とすれば、 $\lceil \log_2 N \rceil$ 本の制御線が必要となり、付加回路のオーバーヘッドが積項線の増大とともに問題となる。

Eichelberger らの方法で用いた積項線選択回路を除くことができれば、付加回路のオーバーヘッドを大幅に減らすことができる。一般に PLA ではファンイン数が多いことから 2^{-k_i} は0.5に比べて十分小さい、すなわち

$$0 \leq 2^{-k_i} \ll 2^{-1}, \quad 2^{-1} \ll (1 - 2^{-k_j}) \leq 1$$

となる。従って、先の故障検出確率の式において、二つの因子 2^{-k_i} と $(1 - 2^{-k_j})$ では前者は後者に比べて十分小さく、故障検出確率の向上には AND ゲートの

ファンインを小さくするだけでも十分な効果が得られる。そこで、本論文では積項線選択のためのハードウェアを付加せず、ANDアレイの入力線を論理的にマスクするハードウェアだけを付加することにより実

質的に k_i の値を小さくする方法を述べる。これにより、Eichelberger らの方法より少ない付加ハードウェアでPLAのランダムテストを可能にすることができる。

図4にその構成を示す。付加回路としては、ANDアレイの入力線をマスクするマスクアレイとそれを制御するデコーダから成り立っている。Eichelberger らの方法では、ANDアレイの4分割セグメント化が

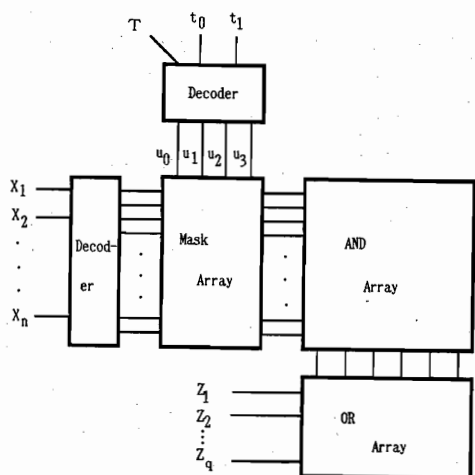


図4 本論文でのPLA
Fig. 4 PLA proposed here.

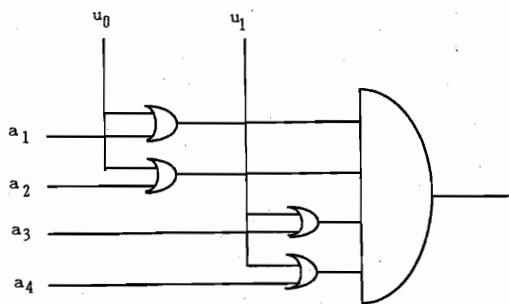


図6 ANDゲートのマスク
Fig. 6 Masking of AND gate.

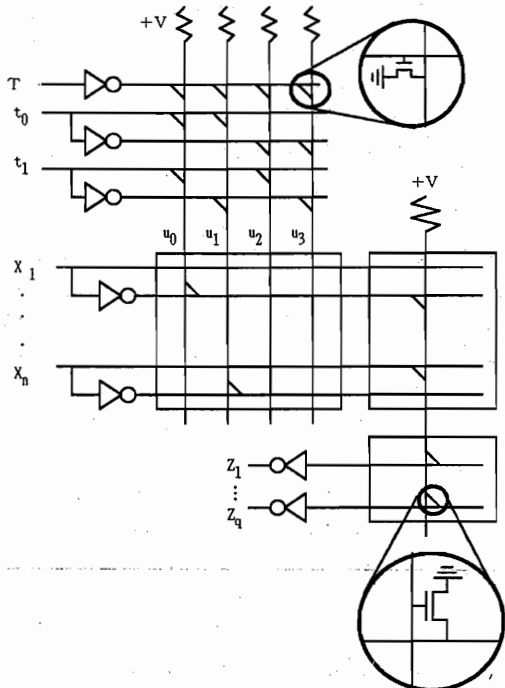


図5 NMOSでの実現例
Fig. 5 Realization in NMOS.

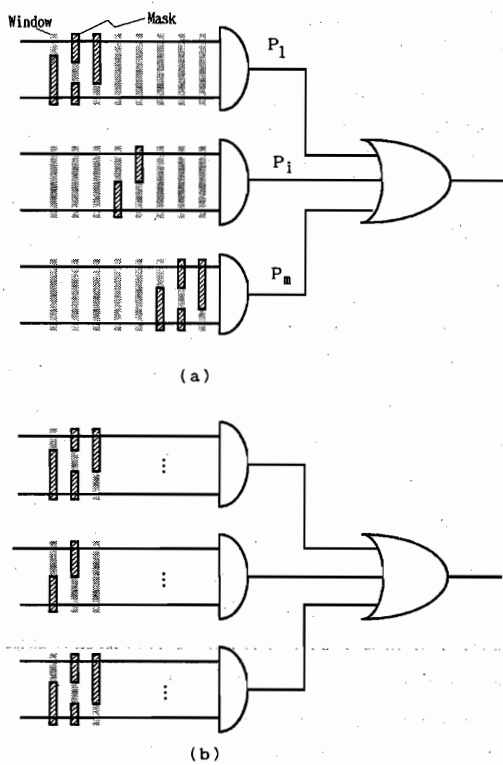


図7 PLAのマスク
Fig. 7 Masking of PLA.

AND アレイの接続状態に無関係に固定であるので故障検出確率を向上させる面から考えるとあまり効率のよい方法とはいえない。ここでは、マスクパターンをプログラムできるようにマスクアレイを導入して、効率よくマスクすることができるようにしている。図5にNMOSでの実現例を示す。

マスクの原理をAND-OR等価回路で説明したのが、図6である。図ではANDゲートの4入力 a_1, a_2, a_3, a_4 に対して、 a_1, a_2 と a_3, a_4 を各々制御入力 u_0, u_1 によりORでマスクしている。 $u_0 = 0, u_1 = 1$ とすることにより、 a_3, a_4 がマスクされ a_1, a_2 に印加されるランダムパターンだけがANDゲートに印加されることになり、ファンイン数が4から2に減っている。ここで、マスク制御線 u_0, u_1 を“マスク線”と呼び、マスクされていない入力 a_1, a_2 のことを“窓”と言うことにする。

この方法をPLA全体に適用すれば図7(a)に示すようになる。ANDゲートのファンイン数を論理的に減らすためにそのANDゲートの入力の一部をマスクするが、その際他のANDゲートはできるだけ高い確率で0を出力させるためにマスクは行わない。しかし、この方法では、ANDゲートのファンイン数の平均値を K 、ANDゲートの個数を m とすれば、窓のサイズを w とするためには、約 $\lceil K/w \rceil \cdot m$ のマスクパターンが必要になり、実用的ではない。

PLA全体のマスクパターン数を減らすために、図7(b)のように、すべてのANDゲートに対して同時にマスクを行う方法が考えられる。図7(b)では、各マスクパターンにおいて、各ANDゲートへの窓のサイズを同じ大きさの w にする場合を考えれば約 $\lceil K/w \rceil$ 個のマスクパターンでよく、図7(a)の $\lceil K/w \rceil \cdot m$ に比べて付加回路は非常に小さくて済む。問題は故障検出確率であるが、これについては次章で考察する。

4. 故障検出確率

図7(b)のマスクの方法を考える場合、ランダムパターンで故障検出確率がどれだけ向上するか、また、窓のサイズ w をどのような値にすれば最適な故障検出確率が得られるかについて考察する。ここでは樹枝状の等価AND-OR回路を対象とする。

ANDゲートの個数を m 、各ANDゲートのファンイン数は全て同じで K とする。窓のサイズを w とし、マスクパターン数 $\mu = K/w$ は2のべき乗とす

る。外部入力には独立に、0と1が1/2の確率でランダムに印加されるものとする。また、マスクパターンを発生するデコード入力(図4における t_0, t_1)にも、同じランダムパターンが印加されるものとする。従って、 μ 個のマスクパターンが各々、 $1/\mu$ の等確率で生成される。

ANDゲート入力の0または1縮退故障 f を考えよう。各マスクパターンが $1/\mu$ の確率で発生し、その時の各ANDゲートのマスクされないファンイン数は w であるので、 f の検出確率は

$$P_d(f) = \mu^{-1} \cdot 2^{-w} \cdot (1-2^{-w})^{m-1} \\ = K^{-1} w 2^{-w} (1-2^{-w})^{m-1} \quad (6)$$

となる。 $P_d(f)$ を最大にする w の値を求めるために、 w で微分すると

$$dP_d(f)/dw = K^{-1} 2^{-2w} (1-2^{-w})^{m-2} \\ \cdot (2^w - 2^w \log 2^w + m \log 2^w - 1) \quad (7)$$

となり

$$m = \{2^w (w \log 2 - 1) + 1\} / (w \log 2) \quad (8)$$

を満たす w の値の時、 $P_d(f)$ が最大となる。 m と w は整数でなければならないので式(8)に最も近い m と w の関係を表1に示す。

$m=1$ の時、すなわち、ANDゲートが一つの時は、入力数を1($w=1$)とすれば故障検出確率が最大となることは直観的に明らかである。 m の値が大きくなる、すなわち、ANDゲート数が大きくなるにつれて、窓の最適サイズは増加しているが、これは一つを除く残りのANDゲートの出力を0にする確率を大きくするためである。

m の値が与えられると、表1から故障検出確率を最大にする窓のサイズが決まる。例えば、ORゲートの入力数 m が23の近傍であれば、故障検出確率を最大とするためには窓のサイズ w を5とすればよい。現実には、マスクアレイのオーバーヘッドを大きくできないという制約があるので、必ずしも表1だけから窓の最適サイズを決定することはできないが、一つの参考資料とすることはできる。

マスクを行うことによる効果をみるために、ANDゲートのファンインが $K=20$ 、ORゲートのファンインが $m=20$ の場合を例に、各々の故障検出確率を計

表1 窓の最適サイズ

w	1	2	3	4	5	6	7	8	9	10
m	1	2	5	11	23	49	102	255	511	876

算してみよう。

マスクを行わない場合の故障検出確率は、式(1)より

$$P_d^*(f) = 2^{-k}(1-2^{-k})^{m-1} \quad (9)$$

となる。従って

$$\begin{aligned} P_d^*(f) &= 2^{-20}(1-2^{-20})^{19} \\ &\doteq 2^{-20}(1-19 \times 2^{-20}) \\ &\doteq 0.95 \times 10^{-6} \end{aligned} \quad (10)$$

一方、マスクによりファンイン ($K=20$) を 4 分割し ($\mu=4$)、窓のサイズを $w=5$ とすれば、式(9)より故障検出確率は

$$\begin{aligned} P_d(f) &= 4^{-12} 2^{-5}(1-2^{-5})^{19} \\ &\doteq 0.0043 \end{aligned} \quad (11)$$

となり、 0.95×10^{-6} から 0.0043 へと大幅に向上する。

M 個のランダムパターンにより 90% 以上の故障検出確率を達成するためには、式(5)より

$$P_d^M(f) = 1 - (1 - P_d(f))^M \geq 0.9 \quad (12)$$

を満たすように $P_d(f)$ を達成する必要がある。

マスクをしない元の PLA では、 $P_d(f) \doteq 0.95 \times 10^{-6}$ であるので、 $(1 - P_d(f))^M \doteq 1 - M \cdot P_d(f)$ と近似すれば式(12)より

$$M \geq 0.95 \times 10^6 \quad (13)$$

となり、90% の故障検出確率を得るには、およそ 10^6 個のランダムパターンを印加する必要がある。

一方、マスクをした PLA では $P_d(f) = 0.0043$ であるので、90% 以上の故障検出確率は式(12)より、 $M \geq 0.9/0.0043 \doteq 210$ で達成可能である。

次に、マスク制御のための付加回路の故障の検出確率を考察しよう。通常の動作モードの時に、元の PLA に影響を与える故障は、マスク線の縮退故障かそれに誤りが伝搬する故障である。ここでは、マスク線の一つに誤りが伝搬する故障およびマスク線の一つが縮退する故障を対象に、それらの故障検出確率を求める。回路モデルは 2. で取り扱った樹枝状 AND-OR 回路とし、マスク線により図 6 と図 7 (b) のようにマスクする場合を想定する。AND ゲートの個数は m 、各 AND ゲートのファンイン数は全て同じで K とする。窓のサイズを w とし、マスクパターン数を $\mu = K/w$ とする。各ゲートでマスクする OR ゲートの個数は $K-w$ となる。あるマスク線に 0 の誤りが伝搬する故障または 0 に縮退する故障 f_0 を考える。この故障がマスク線に伝搬する確率は $1/\mu$ である。これが、いずれか一つの AND ゲートの出力に伝搬するためには、その AND ゲートの窓が全て 1 になり、マスクの OR ゲートへの少なくとも一つの入力

が 0 になればよい。従って、その確率は $2^{-w}(1-2^{-(K-w)})$ となる。このことから、 m 個のどの AND ゲートを通じても伝搬しない確率は $(1-2^{-w}(1-2^{-(K-w)}))^m$ となる。従って、故障が一つ以上の AND ゲートを通じて伝搬する確率は $1 - (1-2^{-w}(1-2^{-(K-w)}))^m$ となる。以上のことから、 f_0 の故障検出確率は

$$P_d(f_0) = \mu^{-1}(1 - (1-2^{-w}(1-2^{-(K-w)}))^m) \quad (14)$$

となる。

1 の誤りがマスク線に伝搬する故障または 1 に縮退する故障 f_1 については、その故障がマスク線に伝搬する確率が $(1-\mu^{-1})$ となる。また、この故障に対して出力は常に 1 となるので、誤りを検出するためには各 AND ゲートの出力を 0 とする必要がある。従って、 f_1 の故障検出確率は

$$P_d(f_1) = (1-\mu^{-1})(1-2^{-w})^m \quad (15)$$

となる。

5. マスクアレイの設計

ランダムテスト可能な PLA として、図 4 に示される PLA の構成を考え、そのマスクアレイを設計する問題を考察しよう。マスクアレイの接続関係は、PLA の AND アレイと OR アレイの接続関係、および、マスクする際の基準となる窓のサイズから決めることができる。

前章では、積項数 m から最適な窓のサイズ w を決める問題を考察したが、1 出力の場合であった。実際の PLA では多出力であるので、各出力の積項数 m_j ごとに窓のサイズ w_j を決め、マスクパターンを作成してもよいが、やはりマスクパターンの総数が増えるので、付加回路のオーバーヘッドを小さくするためにここでは m_j の平均値(または最大値)を m として表 1 から窓のサイズ w を決めることにする。

図 4 において、マスクアレイおよび AND アレイの横線を“ビット線”と呼ぶことにする。ビット線 a とマスク線 u の交点にトランジスタが接続されていれば、 $u=1$ とすることによりビット線 a を $a=1$ とマスクすることができる (NMOS で実現された PLA では、NOR 論理であるので、 $u=1$ とすることにより、 $a=0$ とマスクすることになる)。各マスク線に対して、どのビット線をマスクするかが決まれば、マスクアレイにおけるそのマスク線の接続パターンが決まりマスクアレイが設計されたことになる。

ビット線と AND アレイおよびマスクアレイとの

接続の有無を、関係 \sim として次のように定義する。ビット線 a とマスク線 u との交点がトランジスタで接続されている時、 a と u に接続関係があり、 $a \sim u$ と表現する。同様に、ビット線 a と積項線 p との交点がトランジスタで接続されている時、 a と p に接続関係があり、 $a \sim p$ と表す。この接続関係を用いれば、各積項のマスクされているビット線の集合や、窓のサイズを次のように表現することができる。

積項 P_j のファンインとなるビット線の集合は

$$F_j = \{b \mid b \sim P_j\} \quad (16)$$

となる。 P_j のビット線の中でマスク線 u_i でマスクされるものの集合は

$$M_{ij} = \{b \mid b \sim P_j, b \sim u_i\} \quad (17)$$

で表現される。マスク u_i に対する P_j の窓は、 P_j のファンインとなるビット線の中でマスクされないものの集合であるので、 $F_j - M_{ij}$ となる。従って、その窓のサイズ w_{ij} は

$$\begin{aligned} w_{ij} &= |F_j - M_{ij}| \\ &= |\{b \mid b \sim P_j, b \not\sim u_i\}| \end{aligned} \quad (18)$$

となる。ここで、 $|S|$ は集合 S の要素数を表す。

各積項線への窓のサイズを w とするようなマスクアレイを求めるわけであるが、ファンインの大きさが w 以下の積項線に対してはその入力全部を窓としなければならない。従って、マスク u_i 、積項 P_j に対する窓のサイズは

$$w_{ij} = \min\{w, |F_j|\} \quad (19)$$

となる。一方、ANDアレイの全てのビット線にテストパターンが印加されなければならないので、どのビット線もいずれかの窓に含まれていなければならない。従って、各 F_j について

$$\bigcup_i (F_j - M_{ij}) = F_j \quad (20)$$

が満たされねばならない。

以上の式(19)、(20)を満たすマスクパターンの集合 $\{u_0, u_1, \dots, u_k\}$ を求めれば、マスクアレイが設計されたことになる。マスクパターンの集合を求める際、付加回路のオーバーヘッドを小さくするためにマスクアレイのサイズを小さくする必要があるが、そのためにはできるだけ少ないマスクパターンの集合を求めなければならない。また、窓のサイズ w を固定した場合、必ずしも式(19)、(20)を満たすマスクパターンの集合が存在する保証はない。その場合には、窓のサイズに幅 $[w_1, w_2]$ をもたせて、式(19)の代わりに

$$\min\{w_i, |F_j|\} \leq w_{ij} \leq \min\{w_2, |F_j|\} \quad (21)$$

を満たすマスクパターンの集合を求めることを考える

必要がある。

6. むすび

組込み自己検査では、LFSRを用いた疑似ランダムパターンによる検査方式が一般的であるが、PLAのようなファンインの大きい回路に対しては高い故障検出率を期待することは困難である。本論文では、通常のPLAにマスクアレイを付加することにより、ランダムパターンでも高い故障検出率を達成できるランダムテスト可能なPLAを構成する方法を提案し、ランダムパターンによる故障検出確率に関する解析を行った。例えば、積項線へのファンインの最大値が $K=20$ の場合、4本のマスク線の追加で、90%の故障検出確率を得るためのランダムパターン数を、 0.95×10^6 から210に大幅に短縮することができる。この場合のマスクアレイの大きさは、PLA全体の面積から比べれば非常に小さく、そのオーバーヘッドはほとんど問題にならないものと思われる。

PLAが与えられた時、最も高い故障検出率を得るための窓のサイズを求める問題を樹枝状AND-ORモデルで解析したが、一般の回路での解析や窓の最適サイズを求める問題は今後の課題である。また、窓のサイズが与えられた時、マスクアレイを設計するためにどのような条件を満たすマスクパターンの集合を求めればよいかを示したが、マスクパターンの最小集合を求める有効な方法も今後の課題である。

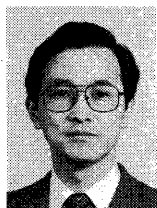
文 献

- (1) B. Koenemann, J. Mucha and G. Zwehoff: "Built-in logic block observation techniques", Dig. of Papers, 1979 IEEE Test Conf., pp. 37-41 (1979).
- (2) E. J. McCluskey and S. Bozorgui-Nesbat: "Design for autonomous test", IEEE Trans. Comput., C-30, 11, pp.866-875 (Nov. 1981).
- (3) P. Bardell and W. H. McAnney: "Self-testing of multi-chip logic modules", Dig. of Papers, 1982 Int. Test Conf., pp.200-204 (1982).
- (4) D. Komonytsky: "LSI self-test using level-sensitive scan design and signature analysis", Dig. of Papers, 1982 Int. Test Conf., pp.414-424 (1982).
- (5) E. B. Eichelberger and E. Lindbloom: "Random pattern coverage enhancement and diagnosis for LSSD logic self-test", IBM J. Res. and Develop., 27, 3, pp.265-272 (May 1983).
- (6) R. Teruer, H. Fujiwara and V.K. Agarwal: "Implementing a built-in self-test PLA design", IEEE Design & Test of Comput., 2, 2, pp.37-48 (April 1985).
- (7) H. Fujiwara: "Logic Testing and Design for Test-

ability”, The MIT Press, London (1985).

- (8) P. Agrawal and V. D. Agrawal : “Probabilistic analysis of random test generation method for irredundant combinational logic networks”, IEEE Trans. Comput., C-24, 7, pp.691-695 (July 1975).
- (9) J. J. Shedletsky : “Random testing : Practicality vs. verified effectiveness”, Dig. of Papers, 7th Int. Symp. Fault-Tolerant Computing, pp.175-179 (June 1977).
- (10) J. Savir and P. H. Bardell : “On random pattern test length,” Dig. of Papers, 1983 Int. Test Conf., pp.95-106 (Nov. 1983).
- (11) Y. K. Malaiya and S. Yang, “The coverage problem for random testing”, Dig. of Papers, 1984 Int. Test Conf., pp.237-245 (Nov. 1984).
- (12) C. K. Chin and E. J. McCluskey : “Test length for pseudo random testing”, Dig. of Papers, 1985 Int. Test Conf., pp.94-99 (Nov. 1985).

(昭和61年5月7日受付, 6月30日再受付)



藤原 秀雄

昭44 阪大・工・電子卒, 昭49 同大学院博士課程了。同年同大電子工学教室助手。昭56 ウォータールー大客員助教授。昭59 マッギル大客員副教授。昭60 明治大・工・助教授。工博。主に検査容易化設計, 組込み自己検査, 検査入力生成,

故障シミュレーション, 検査複雑度に関する研究に従事。52年度本会学術奨励賞受賞。著書「Logic Testing and Design for Testability」(MIT Press)など。情報処理学会, 教育工学会各会員。IEEE Senior Member。IEEE Design & Test 編集委員。