

組合せテスト生成複雑度でテスト生成可能な順序回路構造とその応用

藤原 秀雄[†] 大竹 哲史[†] 高崎 智也[†]

Sequential Circuit Structure with Combinational Test Generation Complexity and Its Application

Hideo FUJIWARA[†], Satoshi OHTAKE[†], and Tomoya TAKASAKI[†]

あらまし ある順序回路のテスト生成問題が、その順序回路内のフリップフロップをすべて信号線で置き換えてできる組合せ回路のテスト生成問題に帰着できるとき、その順序回路を組合せテスト生成複雑度でテスト生成可能な順序回路と言う。この性質を有する回路構造として平衡構造が知られているが、平衡構造より広いクラスとして内部平衡構造を新しく導入する。順序回路を回路構造で分類すると、{ 無閉路構造の順序回路 } \supset { 内部平衡構造の順序回路 } \supset { 平衡構造の順序回路 } となる。無閉路構造の順序回路は必ずしも組合せテスト生成複雑度でテスト生成可能ではないが、内部平衡構造および平衡構造の順序回路は組合せテスト生成複雑度でテスト生成可能であることを示す。一方、有限状態機械 (FSM) を実現可能性で分類すると、{ 無閉路構造実現可能な FSM } = { 内部平衡構造実現可能な FSM } \supset { 平衡構造実現可能な FSM } となることを示す。更に、組合せテスト生成複雑度でテスト生成可能な内部平衡構造の性質を利用して、新たな部分スキャンによるテスト容易化設計への応用および順序回路のテスト生成時間短縮への応用について考察する。

キーワード 順序回路, テスト生成, 無閉路構造, 内部平衡構造, 部分スキャン

1. まえがき

順序回路のテスト生成は一般に困難な問題であり、回路規模が大きくなると解けなくなる場合が多い。これを解決するために一部のフリップフロップをスキャン可能なフリップフロップ (スキャンフリップフロップ) に変更する部分スキャン設計法や、すべてのフリップフロップをスキャンフリップフロップに変更する完全スキャン設計法などが提案されている [1],[2]。これらの設計では、スキャンフリップフロップを等価的に外部入出力とみなせるので、スキャンフリップフロップを除いた残りの回路 (核回路と呼ぶ) に対してテスト生成を行えばよい。完全スキャン設計法では、核回路は組合せ回路となるので組合せ回路用のテスト生成アルゴリズムだけでテスト生成が可能である。一方、部分スキャン設計法では核回路にフリップフロップが残るので依然として順序回路用のテスト生成アルゴリズムを適用しなければならず [2]、真の意味での組合せ回路レベルへのテスト容易化は達成されていない。

本論文では、組合せ回路用のテスト生成アルゴリズムだけを使ってテスト生成可能となる順序回路として組合せテスト生成複雑度でテスト生成可能な順序回路のクラスを定義しその性質を明らかにする。ある順序回路のテスト生成問題が、その順序回路内のフリップフロップをすべて信号線で置き換えてできる組合せ回路のテスト生成問題に帰着できるとき、その順序回路を組合せテスト生成複雑度でテスト生成可能な順序回路という。この性質を有する回路構造として平衡構造 [3] が知られているが、本論文では平衡構造より広いクラスとして内部平衡構造を新しく導入する。順序回路を回路構造で分類すると、{ 無閉路構造の順序回路 } \supset { 内部平衡構造の順序回路 } \supset { 平衡構造の順序回路 } となることを示す。無閉路構造の順序回路は必ずしも組合せテスト生成複雑度でテスト生成可能ではないが、内部平衡構造および平衡構造の順序回路は組合せテスト生成複雑度でテスト生成可能であることを示す。一方、有限状態機械 (以下 FSM という) を実現可能性で分類すると、{ 無閉路構造実現可能な FSM } = { 内部平衡構造実現可能な FSM } \supset { 平衡構造実現可能な FSM } となることを示す。更に、本論文では、以

[†] 奈良先端科学技術大学院大学情報科学研究科, 生駒市
Graduate School of Information Science, Nara Institute of Science and Technology, Ikoma-shi, 630-01 Japan

上の組合せテスト生成複雑度でテスト生成可能な内部平衡構造の性質を利用して、部分スキャンによるテスト容易化設計への応用および一般の順序回路のテスト生成時間短縮への応用について考察し、その有効性を実験により示す。

2. 組合せテスト生成複雑度でテスト生成可能な順序回路

組合せ回路のテスト生成アルゴリズムでテスト生成可能な順序回路としては、フィードバックのない（無閉路構造の）回路でなければならない。従って、ここではまず対象回路を無閉路構造の順序回路に限定する。また、話を簡単にするためにフリップフロップ（以下、FFと略す）は DFF に限定する。他の FF の場合も同様に扱える。

分岐点において、分岐点の入力側の信号線を分岐幹と呼び、分岐点の出力側の複数の信号線を分岐枝と呼ぶ。経路上に含まれる FF の個数をその経路の順序深度という。順序回路の外部入力から外部出力に至る経路の中で最大の順序深度を順序回路の順序深度とする。 x を外部入力、 x_i と x_j を x の分岐枝とすると、 x_i と x_j から等しい順序深度で同じ外部出力 z_k に至る経路が存在しないならば x_i と x_j は分離可能と言う。

組合せ変換（C変換）:

無閉路構造の順序回路 S に対する次の二つの操作による変換を組合せ変換（C変換）と呼び、変換されてできる組合せ回路を $C(S)$ と書く。

(1) 分岐枝を有する外部入力について、その外部入力の分岐枝の集合を X とする。「分岐枝 x_i と x_j が分割 π の異なるブロック $X(i)$, $X(j)$ に属する ($x_i \in X(i)$, $x_j \in X(j)$; $X(i) \neq X(j)$) ならば x_i と x_j は分離可能である」を満たす X の極小分割 π を求める。分割した各ブロックごとに新たに外部入力を設けて、もとの外部入力を分離する（図 1 参照）。

（注：外部入力を分離する場合、分岐幹の故障はその分岐枝すべてに同時に存在する多重故障として扱う）

(2) FF を信号線に置き換える（FF の否定出力の場合は、NOT ゲートを付加する。図 2 参照）。

組合せテスト生成複雑度でのテスト生成可能性:

「 S を無閉路順序回路、 $C(S)$ をその C 変換された組合せ回路とする。 S における故障 f が S でテスト可能であるための必要十分条件が $C(S)$ における f に対応する故障 f_c が $C(S)$ においてテスト可能である」が言えるならば、順序回路 S は、組合せテスト生

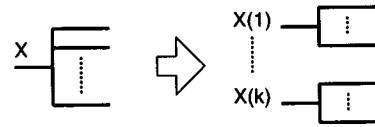


図 1 外部入力分離
Fig.1 Separation of primary inputs.

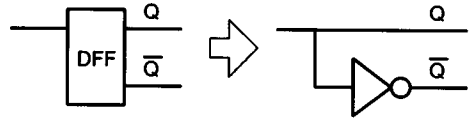


図 2 FF の消去
Fig.2 Deletion of Flip-Flops.

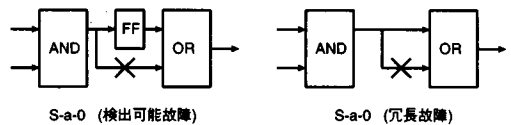


図 3 回路例と C 変換
Fig.3 Circuit example and C-transformation.

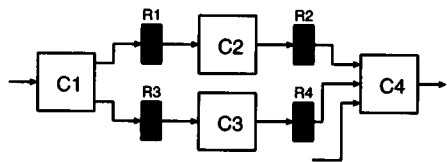


図 4 平衡構造の例
Fig.4 Example of balanced structure.

成複雑度でテスト生成可能であると言う。

無閉路回路であっても必ずしも組合せテスト生成複雑度でテスト生成可能であるとは限らない。その回路例を図 3 に示す。

無閉路構造：回路 S に閉路がないとき、 S は無閉路構造であると言う。

平衡構造 [3]：回路 S の任意の外部入力と外部出力の対について、その 2 点間のどの経路の順序深度も同じならば、 S は平衡構造であると言う。従って、平衡構造の順序回路ではすべての外部入力が分離不可能であるので、C 変換は操作 (2) だけで行われることになる（図 4 参照）。

内部平衡構造：回路 S に C 変換の操作 (1) を施してできる回路 S' が平衡構造となるならば、 S は内部平衡構造であると言う（図 5 参照）。

状態集合 Q の部分集合を要素とする集合を Q の分解と呼び、その部分集合をブロックと呼ぶ。ブロック

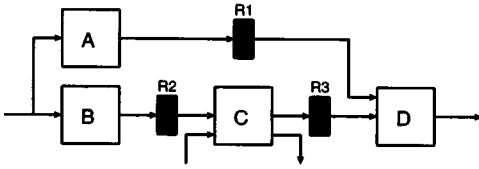


図5 内部平衡構造の例
Fig.5 Example of internally balanced structure.

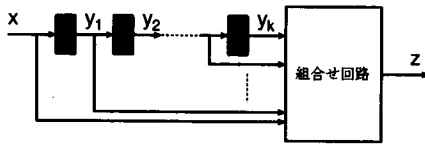


図6 有限入力記憶表現
Fig.6 Finite input memory realization.

の和が Q となり、ブロックが互いに素である分解を Q の分割と呼ぶ。分解 $\Pi = \{B_1, B_2, \dots, B_k\}$ に対して、各ブロック B_i と各入力 I_j について、 B_i に属する状態から入力 I_j で遷移する状態の集合を B_{ij} とするとき、これらの B_{ij} をブロックとする分解を $m(\Pi)$ と表す。 Q 自身を一つの分割とみなしたときこれを I で表し、また、各ブロックが一つの状態となる分割を O と書くことにする。

[定理 1] [4] FSM M が無閉路構造で実現可能であるための必要十分条件は、ある定数 k で $m^k(I) = O$ 、但し $k > 1$ について $m^k(I) = m(m^{k-1}(I))$ で $m^1(I) = m(I)$ である。 □

[補題 1] FSM M がある定数 k で $m^k(I) = O$ となることと、 M が長さ k の有限入力記憶実現 (図 6 参照) 可能であることは等価である。また、このことは、長さ k の任意の入力系列が M の同期系列 [1] であることと等価である。 □

従って、次の系を得る。

[系 1] FSM M が無閉路構造で実現可能であるための必要十分条件は、 M が有限入力記憶実現可能であることである。 □

定理 1 や系 1 の証明は文献 [4] で紹介されているが、次の補題 2 を使って別の証明が可能である。

[補題 2] リタイミング (図 7) と論理の複製 (図 8) の操作により、任意の無閉路構造の順序回路 (図 9) をそれと等価な有限入力記憶実現回路 (図 6) に変換可能である。 □

[定理 2] 任意の無閉路構造実現可能な FSM は、内部平衡構造実現可能である。

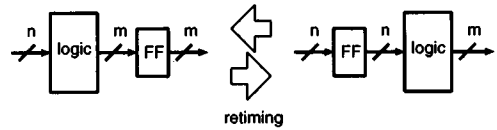


図7 リタイミング
Fig.7 Retiming.

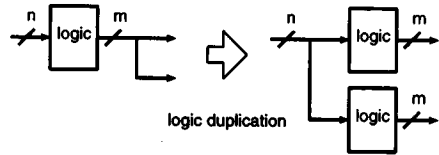


図8 論理の複製
Fig.8 Logic duplication.

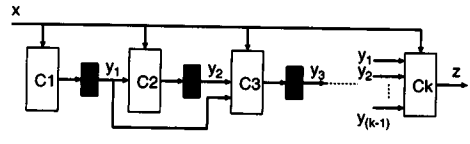


図9 一般的な無閉路構造
Fig.9 General acyclic structure.

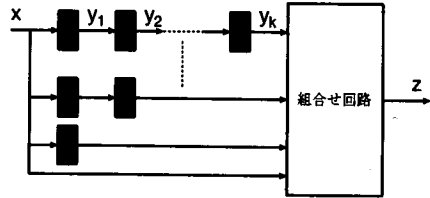


図10 内部平衡構造
Fig.10 Internally balanced structure.

(証明) 有限入力記憶実現回路 (図 6) はリタイミングにより図 10 の形の等価回路に変換できる。このことと系 1 (または、補題 2) から定理が成り立つ。 □

[定理 3] 無閉路構造実現可能であるが、平衡構造実現不可能な FSM が存在する。

(証明) ある入力 x について、出力 z が複数の時刻の x の値に依存するならば、 z を実現する回路において x から z に至る順序深度の異なる複数の経路が存在する。従って、平衡構造で実現できない。 □

例えば、図 11 において、出力 z は現在の時刻の入力 x と 1 時刻前の入力 x の両方の値に依存して決まり、 x から z には順序深度の異なる二つの経路がどうしても必要になる。

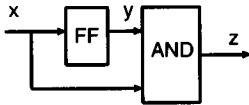


図 11 回路例
Fig. 11 Circuit example.

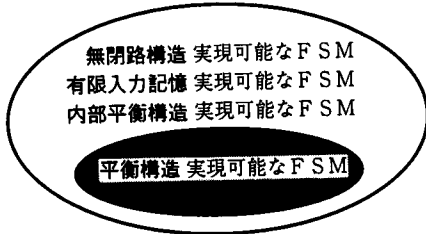


図 12 FSM の分類
Fig. 12 Classification of finite-state machines.

定理 2, 3 から

{無閉路構造実現可能な FSM}

= {有限入力記憶実現可能な FSM}

= {内部平衡構造実現可能な FSM}

⊃ {平衡構造実現可能な FSM}

が成立する (図 12 参照)。

3. テスト生成複雑度

3.1 無閉路構造

図 13(a) に無閉路構造を有する順序回路の例を示す。この回路は図 13(b) のように時間展開した組合せ回路について、組合せ回路のテスト生成アルゴリズムを適用してテストパターンを求めることができる。但し、同じ部分回路については同じ故障が存在するので、多重故障を考慮する必要がある。順序深度を d とすると、時間展開した回路には最悪 $d+1$ 個の重複した部分回路が含まれる。テストパターンが求められると時間展開したことを考慮してテスト系列に戻す。テスト系列長は $d+1$ となる。

3.2 平衡構造

[定理 4] [3] 順序回路 S が平衡構造ならば、 S は組合せテスト生成複雑度でテスト生成可能である。□

図 3 の平衡構造を有する順序回路 S からレジスタ、FF を信号線に置き換える (C 変換する) と図 14 の組合せ回路 $C(S)$ になる。この組合せ回路に対して、組合せ回路のテスト生成アルゴリズムを適用してテスト

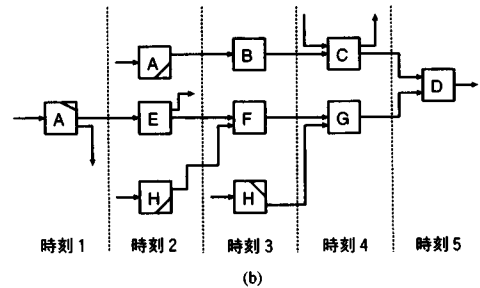
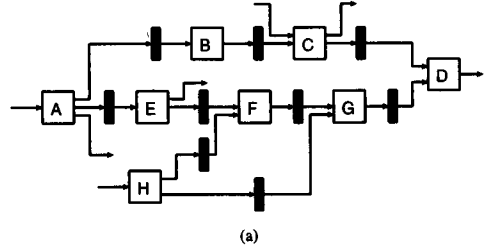


図 13 (a) 無閉路構造, (b) 時間展開
Fig. 13 (a) Acyclic structure, and (b) time expansion.

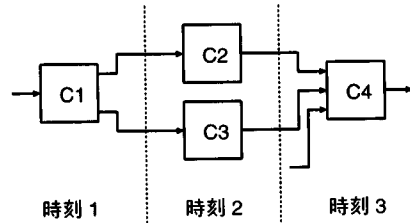


図 14 C 変換された組合せ回路 $C(S)$
Fig. 14 C-transformed combinational circuit $C(S)$.

パターンを求める。求めたテストパターンから時間を考慮してテスト系列に戻す。順序深度を d とするとテスト系列長は $d+1$ である。このテスト系列では、 $d+1$ クロックの間、各外部入力には一定入力値が印加され続ける。

平衡構造を有する順序回路の長所は、 $d+1$ に時間展開するのは無閉路構造と同じであるが、時間展開した回路には重複はない。

3.3 内部平衡構造

[定理 5] 順序回路 S が内部平衡構造ならば S は組合せテスト生成複雑度でテスト生成可能である。

(証明) まず、 S の故障 f がテスト可能であるならば、 $C(S)$ における f に対応する故障 f_c が $C(S)$ でテスト可能となることを示す。これは、 S における f のテスト系列 T から $C(S)$ における f_c のテストパターン T_c が作れることを示せばよい。ここで、分離する

外部入力の分岐幹の故障は、そのすべての分岐枝に同時に存在する多重故障として扱う。

S の順序深度を d とすると T の長さは $d+1$ にできる。 f は外部出力 z_k において時刻 t で検出されるとする ($1 < t < d+1$)。このテスト系列 T から以下のようにテストパターン T_c の $C(S)$ における外部入力 x_i の値を決める。

(1) x_i が分離されてきた外部入力でない場合：
 x_i から出力 z_k への順序深度は一意的に決まる。それを d_{ik} とする。 T において f を z_k で検出するために必要な x_i の値は、時刻 $t - d_{ik}$ のときの外部入力 x_i の値である。従って、 T における時刻 $t - d_{ik}$ のときの外部入力 x_i の値をテストパターン T_c の外部入力 x_i の値と決める。

(2) x_i が分離されてきた外部入力の場合：
 x_i の S におけるもとの外部入力を x とする。 S では x が外部入力である。内部平衡構造であるので、 x_i から z_k への順序深度は一意的に決まり d_{ik} とおける。 T において f を z_k で検出するために必要な x_i の値は、時刻 $t - d_{ik}$ のときの x の値である。 T において時刻 $t - d_{ik}$ のときの x の値を、テストパターン T_c での外部入力 x_i の値と決める。

以上のようにして決まるテストパターン T_c は $C(S)$ における故障 f_c を検出することがわかる。次に、 $C(S)$ の故障 f_c がテスト可能であるならば、 S における f_c に対応する故障 f が S でテスト可能となることを示す。これは、 $C(S)$ における f_c のテストパターン T_c から S における f のテスト系列 T が作れることを示せばよい。 f_c はテストパターン T_c において外部出力 z_k で検出されるとする。 f_c に対応する故障 f が時刻 t に外部出力 z_k で検出されるように、テスト系列 T の外部入力 x_i の値を以下のように決める。

(1) x_i が分離される外部入力でない場合：
 x_i から出力 z_k への順序深度 d_{ik} は一意的に決まる。テストパターン T_c の外部入力 x_i の値をテスト系列 T の時刻 $t - d_{ik}$ のときの外部入力 x_i の値と決める。

(2) x_i が分離される外部入力の場合：
 S における外部入力 x_i が $C(S)$ において外部入力 $x_{i1}, x_{i2}, \dots, x_{in}$ に分離されるとする。内部平衡構造であるので、各 x_{ij} から z_k への順序深度は一意的に決まりそれを d_{ijk} とする。それらは分離可能であるので、 d_{ijk} ($j = 1, 2, \dots, n$) はすべて異なる順序深度となる。したがって、時刻 $(t - d_{ijk})$ ($j = 1, 2, \dots, n$) はすべ

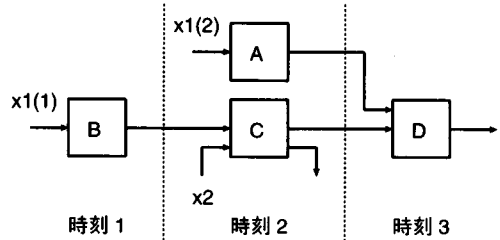


図 15 C変換された回路 $C(S)$
 Fig.15 C-transformed circuit $C(S)$.

て異なり、次のようにテスト系列 T の n 箇所の時刻に値を設定できる。すなわち、テストパターン T_c での各外部入力 x_{ij} ($j = 1, 2, \dots, n$) の値を、テスト系列 T の時刻 $(t - d_{ijk})$ ($j = 1, 2, \dots, n$) の外部入力 x_i の値と決める。

以上のようにして決まるテスト系列 T は S における故障 f を検出することがわかる。 □

図 5 の内部平衡構造を有する順序回路 S の C 変換を考える。 S では、外部入力 x_1 で分岐している入力分岐枝は分離可能であるので分離する。更にレジスタ、FF を信号線に置き換えると図 15 の組合せ回路 $C(S)$ が得られる。

この C 変換された組合せ回路に対して、組合せ回路のテスト生成アルゴリズムを適用してテストパターンを求める。時刻を考慮して、求めたテストパターンをテスト系列に戻す。回路の順序深度を d とするとテスト系列長は $d+1$ である。

内部平衡構造を有する順序回路の長所は、平衡構造の場合と同じく、 $d+1$ に時間展開した回路には重複はない。

4. 一般の順序回路への適用

4.1 核回路

これまでは無閉路構造の（フィードバックのない）順序回路について考察してきたが、次に閉路のある一般の順序回路を考察しよう。いま、順序回路の FF を何らかの方法で二つに分割したとする。図 16 に示すように一方を内部 FF、他方を外部 FF と呼ぶことにする。また、順序回路から外部 FF を除いた残りの回路を核回路と呼ぶことにする。核回路の入力としては、もとの回路の外部入力と外部 FF からの擬似入力とに分かれる。核回路の出力としては、外部出力と擬似出力に分かれる。

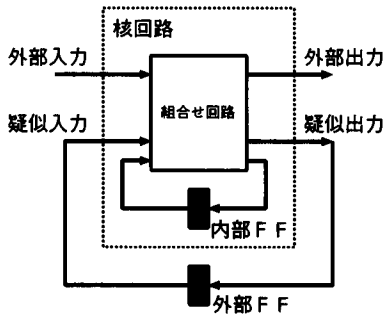


図 16 核回路
Fig.16 Kernel circuit.

4.2 核回路抽出問題

任意に与えられた順序回路から最小個の外部 FF を選ぶことにより、無閉路/平衡/内部平衡構造の核回路を抽出する問題を考える。

無閉路構造：無閉路構造にするための最小個の外部 FF の選択の方法 [2]

平衡構造：平衡構造にするための最小個の外部 FF の選択の方法 [3]

内部平衡構造：内部平衡構造にするための最小個の外部 FF の選択の方法

(ステップ 1) 分離可能な外部入力枝を分離する

(ステップ 2) その回路について平衡構造にするための最小個の外部 FF を選択する

一般に内部平衡構造は平衡構造より広い概念であるので、核回路を抽出するための外部 FF は平衡構造より少なく済む。しかし、ステップ 1 において、分離可能な外部入力枝がなければ内部平衡構造は平衡構造と同等になり外部 FF は減らない。これは、分離可能性を拡張することでより広い核回路を抽出して外部 FF を更に減らすことも可能である。例えば、外部入力にバッファがつながっておりその入力バッファの後で分岐している場合は、この外部入力は分離可能ではない。しかし、バッファを外部入力端子の一部とみなせば、外部入力は入力バッファ共に分離することができる。すなわち、分離する外部入力の個数だけ入力バッファを複製して、分離した各外部入力にバッファを付ける。ここで、もとの入力バッファの故障を、分離した入力バッファすべてに同じ故障が存在する多重故障として扱えば、これまでの内部平衡構造と同様に組合せレベルでテスト生成を可能にすることができる。以上の議論を更に発展させ、外部入力に続

く入力バッファの代わりに、外部入力からフリップフロップに至るまでの組合せ部分回路を複製の対象にすれば、より広い順序回路に対して組合せレベルでテスト生成を可能にすることができる。しかし、複製による回路規模の増大と多重故障を対象とすることによるテスト生成の複雑化の問題が生じる。このように分離可能性を拡張すれば外部 FF の個数(面積オーバーヘッド)を減らすことができる一方、テスト生成の複雑度(時間オーバーヘッド)が増すことになり、どのような核回路を抽出するかはこれらのオーバーヘッドのトレードオフの問題となる。

5. 部分スキャンによるテスト容易化設計への応用

5.1 部分スキャン設計

組合せ回路用のテスト生成アルゴリズムだけでテスト生成可能なテスト容易化設計としては全スキャン設計があるが、すべての FF をスキャン FF するためにオーバーヘッドの問題がある。内部平衡構造の順序回路は組合せテスト生成複雑度でテスト生成可能であるので、スキャン FF を除いた残りの回路(核回路)が内部平衡構造となるように部分スキャン設計すればよい。核回路が内部平衡構造となる部分スキャン設計では真の意味での組合せ回路レベルへのテスト容易化が達成される。

5.2 実験結果

スキャン設計をしない場合、全スキャン設計の場合、核回路が内部平衡構造となるようにスキャン FF を選択する部分スキャン設計(本手法)の場合、について比較実験を行った。実験にはワークステーションとして Sun4/10 モデル 512, CAD ソフトウェアとして RTL 回路図入力ソフト B-chart (松下電器産業), 論理合成ソフト AutoLogic (MentorGraphics), 自動テスト生成ソフト TestGen (SunRise) を用いた。加算器と乗算器で構成されるデータパス系の二つの回路例を対象に、レジスタ転送レベルから設計、論理合成を行った回路、全スキャン設計した回路、内部平衡構造に基づく部分スキャン設計法(本手法)で変更した回路について、各々テスト生成を行った。表 1 の外部 FF は本手法でスキャン FF となる。表 2, 3 において、

故障検出率 = テスト生成された故障数/全故障数

テスト効率 = (テスト生成された故障数

+冗長と判定された故障数)/全故障数

表 1 回路特性
Table 1 Circuit characteristic.

	入力数	出力数	ネット数	全 FF 数	外部 FF 数	内部 FF 数	順序深度
回路 1	24	8	3780	48	16	32	2
回路 2	24	32	7966	48	16	32	2

表 2 回路 1
Table 2 Circuit 1.

	故障検出率	テスト効率	テスト数	テスト系列長	テスト生成時間
非スキャン	77.99%	93.04%	—	200	3369 秒
全スキャン	85.29%	99.99%	48	2400	19 秒
本手法	84.99%	99.31%	39	757	404 秒

表 3 回路 2
Table 3 Circuit 2.

	故障検出率	テスト効率	テスト数	テスト系列長	テスト生成時間
非スキャン	49.28%	65.67%	—	59	31815 秒
全スキャン	83.91%	99.98%	68	3380	57 秒
本手法	83.85%	99.73%	59	1137	445 秒

テスト数 = 核回路の部分のテスト数

テスト系列長 = 回路全体のテスト系列長

である。スキャン設計をしない場合に比べ、全スキャン設計、本手法による部分スキャン設計はいずれもほぼ 100% のテスト効率を達成できている。また、テスト生成時間も大幅に短縮できている。一方、全スキャン設計と本手法を比較した場合、テスト生成時間では全スキャン設計のほうが短い。これはスキャン FF 数が多い分、核回路の入出力が多くなりそれだけテスト生成が容易になっているためである。本手法の部分スキャン設計では、全スキャンより多くのテスト生成時間を要しているが、組合せテスト生成アルゴリズムでテスト生成可能であるので比較的短時間でテスト生成に成功している。テスト系列長を比較した場合、全スキャンより本手法の方が短くなっている。

6. 順序テスト生成時間短縮への応用

組合せテスト生成複雑度でテスト生成可能な順序回路では、その順序回路のテスト生成問題は組合せ変換 (C 変換) した組合せ等価回路におけるテスト生成問題に帰着できる。ここでは、この性質を一般の順序回路に応用して、テスト生成時間を短縮する方法を示す。

6.1 テスト生成法

(ステップ 1) 与えられた順序回路 S に対して、図 16 のように、内部 FF と外部 FF に分ける。その際、核回路 (内部 FF と組合せ回路) が内部平衡になるように、最小個の外部 FF を選択する。

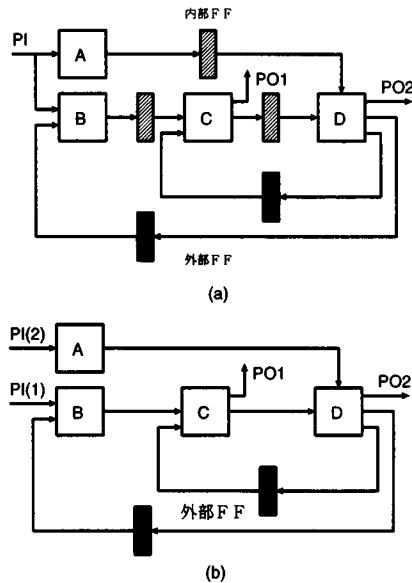


図 17 (a) 順序回路 S , (b) 変換回路 S^R
Fig. 17 (a) Sequential circuit S , and (b) its transformed circuit S^R .

(ステップ 2) 分離可能な外部入力を分離し、内部 FF を信号線に置き換える。これを S^R とする。

(ステップ 3) S^R に対して、順序回路用テスト生成アルゴリズムを適用する。 S^R の FF 数は S の FF 数より減少しているため、テスト生成時間は短縮できる。

図 17(a) の順序回路 S を考えてみよう。図に示されたように外部 FF と内部 FF に分けると核回路は内

表4 回路 1
Table 4 Circuit 1.

	故障検出率	テスト効率	S^R でのテスト系列長	S でのテスト系列長	テスト生成時間
従来法	77.99%	93.04%	—	200	3369 秒
本手法	83.95%	98.45%	84	252	2162 秒

表5 回路 2
Table 5 Circuit 2.

	故障検出率	テスト効率	S^R でのテスト系列長	S でのテスト系列長	テスト生成時間
従来法	49.28%	65.67%	—	59	31815 秒
本手法	63.69%	79.71%	61	183	17025 秒

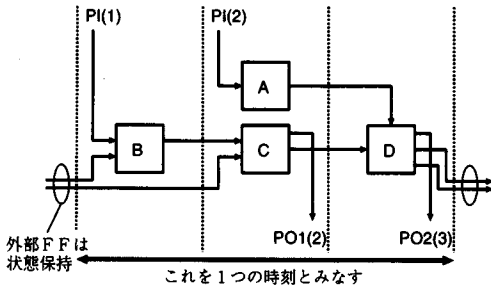


図 18 S^R での 1 時刻
Fig. 18 One time-frame in S^R .

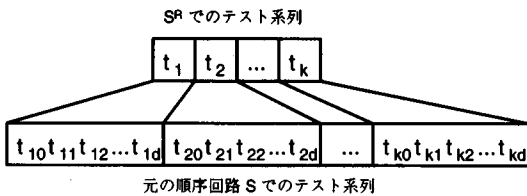


図 19 テスト系列の逆変換
Fig. 19 Reverse transformation of test sequence.

部平衡構造になる。分離可能な PI を分離し、内部 FF を信号線で置き換えると図 17 (b) の回路 S^R を得る。この回路に対して順序回路用テスト生成アルゴリズムを適用してテスト系列を求める。 S^R で求めたテスト系列は図 18 に示すように核回路を組合せ回路とみなしてテスト生成を行っており、核回路を信号が伝搬する $d+1$ 時間は外部 FF の状態を保持する必要がある。求めた S^R のテスト系列の各時刻を更に $d+1$ 時刻に展開して、もとの S のテスト系列に変更する (図 19 参照)。

6.2 実験結果

5.2 で示した実験と同じデータパス系の二つの回路を対象に、レジスタ転送レベルから設計、論理合成した後、合成された順序回路 S と、ここで提案する方法

で S を変換した順序回路 S^R についてテスト生成を行った。順序回路 S^R はもとの回路 S に比べて、表 1 における内部 FF の分だけ FF が減っている。表 4, 5 にその結果を示す。従来法に比べ本手法は、テスト系列は若干長くなるが、故障検出率、テスト効率、テスト生成時間でより良い結果が得られている。

7. むすび

組合せテスト生成複雑度でテスト生成可能な順序回路のクラスを定義しその性質を明らかにした。無閉路構造は必ずしもこの性質を満たさない。この性質を満たす回路構造として内部平衡構造のクラスを新しく導入した。無閉路構造で実現可能な FSM は内部平衡構造でも実現可能である。本論文では更に、内部平衡構造の性質を利用して、部分スキャンによるテスト容易化設計への応用および一般の順序回路のテスト生成時間短縮への応用についても考察し、実験によりそれらの応用の有効性を示した。

謝辞 本研究に関し、多くの貴重な意見を頂いた増澤利光助教授、井上智生助手、井上美智子助手はじめ本学情報論理学講座の皆様方に感謝致します。

文 献

- [1] H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, 1985.
- [2] K. Cheng and V.D. Agrawal, "A partial scan method for sequential circuits with feedback," IEEE Trans. Comput., vol.39, no.4, pp.544-548, April 1990.
- [3] R. Gupta, R. Gupta, and M.A. Breuer, "The BALLAST methodology for structured partial scan design," IEEE Trans. Comput., vol.39, no.4, pp.538-544, April 1990.
- [4] A.D. Friedman and P.R. Menon, "Theory and Design of Switching Circuits," Computer Science Press, 1975.
- [5] C.E. Leiserson and J.B. Saxe, "Retiming synchronous circuitry," Algorithmica, vol.6, pp.5-35, 1991.
- [6] R. Gupta and M.A. Breuer, "Testability properties of acyclic structures and applications to partial scan design," Proc. IEEE VLSI Test Symp., pp.49-54, 1992.

- [7] 藤原秀雄, “組合せテスト生成複雑度でテスト生成可能な順序回路構造とその応用,” 信学技報, FTS95-65, Dec. 1995.
(平成 8 年 5 月 16 日受付, 9 月 12 日再受付)



藤原 秀雄 (正員)

昭 44 阪大・工・電子卒, 昭 49 同大大学院博士後期課程了。阪大工学部助手, 明治大理工学部教授を経て, 現在奈良先端情報科学研究科教授。昭 56 ウォータールー大客員助教授。昭 59 マツギル大客員準教授。論理設計, 高信頼設計, 設計自動化, テスト容易化設計, テスト生成, 並列処理, 計算複雑度に関する研究に従事。著書に“Logic Testing and Design for Testability” (The MIT Press) など。工博。情報処理学会会員。IEEE Fellow。



大竹 哲史 (学生員)

平 7 電通大・電通・情報卒。現在奈良先端大博士前期課程に在学中。主としてテスト生成アルゴリズムに関する研究に従事。



高崎 智也 (学生員)

平 7 創価大・工・情報システム卒。現在奈良先端大博士前期課程に在学中。テスト容易化設計, 論理合成の研究に従事。